

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-131708

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G02F 1/1345

G02F 1/136

G09F 9/00

(21)Application number : 10-306150

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.10.1998

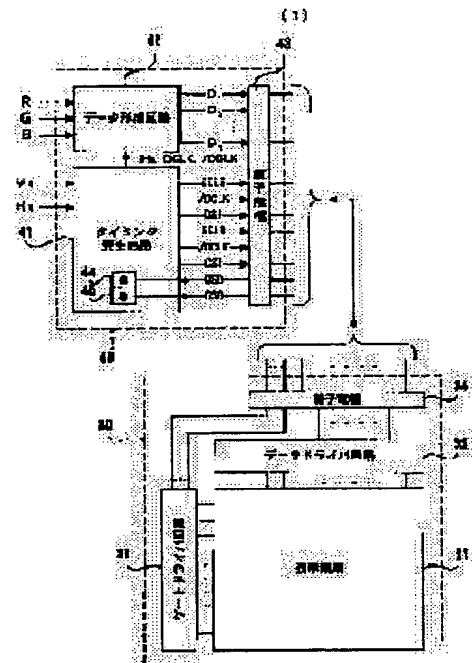
(72)Inventor : MORITA KEIZO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To inspect the characteristic of thin film transistors(TFTs) being used without taking apart a liquid crystal display panel, that uses the TFTs, when an abnormality occurs by providing a control circuit section having inspection terminals to which signals outputted from a driver circuit are supplied.

**SOLUTION:** A data shift out signal DSO is outputted from the last stage of a shift register of a data driver circuit 32 of a liquid crystal display panel 30. A gate shift out signal GSO is outputted from the last stage of the shift register of a gate driver circuit 33. These signals are transmitted to inspection terminals 44 and 45 of a timing generation circuit 41 of a control circuit section 40 through terminal electrodes 34 and 43 and a flexible table. After having completed a product assembly, the probe of an inspection device is connected to the terminals 44 and 45 in order to inspect the presence or the absence of the degradation of the TFTs that constitute the shift registers under an actually operating condition.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2000-131708  
(P2000-131708A)

(43) 公開日 平成12年 5 月12日 (2000. 5. 12)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I            | テーマコード* (参考) |
|---------------------------|-------|----------------|--------------|
| G 0 2 F 1/1345            |       | G 0 2 F 1/1345 | 2 H 0 9 2    |
|                           | 1/136 | 1/136          | 5 0 0        |
| G 0 9 F 9/00              | 3 5 2 | G 0 9 F 9/00   | 5 G 4 3 5    |

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平10-306150

(22) 出願日 平成10年10月27日 (1998. 10. 27)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号

(72) 発明者 森田 敬三

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富 士 通 株 式 会 社 内

(74) 代理人 100091672

弁理士 岡本 啓三

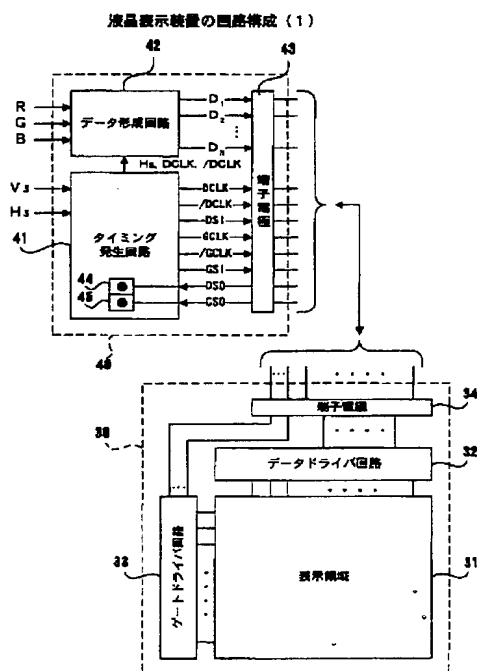
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 異常が発生したときに液晶表示パネルを分解することなく T F T の特性を調べることができて、原因の究明を迅速かつ容易に行うことができる液晶表示装置を提供する。

【解決手段】 液晶表示パネル 3 0 のデータドライバ回路 3 2、ゲートドライバ回路 3 3 内のシフトレジスタの最終段から出力されるデータシフトアウト信号 D S 0 及びゲートシフトアウト信号 G S 0 を、制御回路部 4 0 に設けた検査用端子 4 4、4 5 に供給する。



## 【特許請求の範囲】

【請求項 1】 マトリクス状に配列された複数の画素と、前記複数の画素が配列された領域の外側に配置されて前記複数の画素に信号を供給するドライバ回路とが同一基板上に形成された液晶表示パネルと、前記ドライバ回路に信号を供給する電子回路と、前記ドライバ回路から出力される信号の少なくとも 1 つが供給される検査用端子とを備えた制御回路部とを有することを特徴とする液晶表示装置。

【請求項 2】 前記液晶表示パネルの前記ドライバ回路はシフトレジスタを有し、該シフトレジスタの最終段から出力された信号が前記制御回路部の前記検査用端子に供給されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記液晶表示パネルは前記基板上に形成されたインパータ又は論理回路を有し、前記ドライバ回路から出力される信号の少なくとも 1 つは前記インパータ又は論理回路を介して前記制御回路部の前記検査用端子に供給されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】 前記液晶表示パネルは前記基板上に形成されたインパータ又は論理回路を有し、かつ、前記液晶表示パネルの前記ドライバ回路はシフトレジスタを有し、前記シフトレジスタの最終段から出力された信号が前記インパータ又は論理回路を介して前記制御回路部の前記検査用端子に供給されることを特徴とする請求項 1 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、同一基板上に複数の画素とドライバ回路とを有する周辺回路一体型アクティブマトリクス液晶表示装置に関する。

## 【0002】

【従来の技術】アクティブマトリクス方式の液晶表示装置は、非選択時にオフ状態となって信号を遮断するスイッチを各画素に設けることによってクロストークを防止するものであり、単純マトリクス方式の液晶表示装置に比べて優れた表示特性を示す。特に、スイッチとして TFT (Thin Film Transistor: 薄膜トランジスタ) を使用した液晶表示装置は、TFT の駆動能力が高いので、CRT (Cathode-Ray Tube) に匹敵するほど優れた表示特性を示す。

【0003】一般的に、液晶表示装置は 2 枚の透明基板の間に液晶を封入した構造を有している。それらの透明基板の相互に対向する 2 つの面 (対向面) のうち、一方の面側には対向電極、カラーフィルタ及び配向膜等が形成され、他方の面側には TFT、画素電極及び配向膜等が形成されている。更に、各透明基板の対向面と反対側の面には、それぞれ偏光板が貼り付けられている。これらの 2 枚の偏光板は、例えば偏光板の偏光軸が互いに直

交するように配置され、これによれば、電界をかけない状態では光を透過し、電界を印加した状態では遮光するモード、すなわちノーマリーホワイトモードとなる。その反対に、2 枚の偏光板の偏光軸が平行な場合には、ノーマリーブラックモードとなる。以下、TFT 及び画素電極等が形成された透明基板を TFT 基板、対向電極等が形成された透明基板を対向基板という。

【0004】近年、低温プロセスで形成した薄膜ポリシリコンを使用した TFT が開発され、液晶表示装置に使用されるようになった。低温プロセスで TFT を形成する場合は、透明基板として安価なガラス基板を使用することができるという利点がある。また、アモルファスシリコン TFT に比べてポリシリコン TFT は駆動能力が高く小型化ができるので、開口率が向上して明るい画像が得られるという利点もある。更に、アモルファスシリコン TFT の場合は駆動速度が遅いので、駆動 IC を別途用意して液晶表示装置と接続する必要があったが、ポリシリコン TFT は駆動速度が速いので、駆動 (ドライバ) 回路をガラス基板上に形成することができる。

## 【0005】

【発明が解決しようとする課題】低温プロセスで形成した TFT を使用する液晶表示装置は、信頼性に関するデータの蓄積が十分ではなく、時間の経過によってもなって TFT の特性が劣化していくという報告もなされている。使用によってもなって液晶表示装置の性能が低下した場合、原因が TFT の特性劣化にあるのか、それとも製造工程にあるのかなど、原因を究明して対策を施すことが重要である。しかし、従来は、原因を究明するためには液晶表示パネルを分解することが必要であり、時間や手間がかかるという問題点がある。

【0006】なお、TFT の劣化の程度を調べるために、TFT 基板の表示領域の外側に他の回路と独立した数個の TFT を形成しておくことも考えられる。検査時にはこれらの TFT に電流を供給し、TFT から出力される信号の状態を調べることにより TFT の劣化の程度を知ることができる。しかし、通常の使用の状態ではこれらの TFT に電流が流れないので、実使用における TFT の劣化の程度を調べる方法としては十分でない。

【0007】本発明の目的は、異常が発生したときに液晶表示パネルを分解することなく実際に使用している TFT の特性を調べることができて、原因の究明を迅速かつ容易に行うことができる液晶表示装置を提供することである。

## 【0008】

【課題を解決するための手段】上記した課題は、マトリクス状に配列された複数の画素と、前記複数の画素が配列された領域の外側に配置されて前記複数の画素に信号を供給するドライバ回路とが同一基板上に形成された液晶表示パネルと、前記ドライバ回路に信号を供給する電子回路と、前記ドライバ回路から出力される信号の少な

くとも1つが供給される検査用端子とを備えた制御回路部とを有することを特徴とする液晶表示装置により解決する。

【0009】以下、作用について説明する。本発明においては、制御回路部に、液晶表示パネルのドライバ回路に信号を供給する電子回路と、前記ドライバ回路から出力される信号の少なくとも1つが供給される検査用端子とが設けられている。前記検査用端子に検査装置のプローブを接続し、信号波形等を調べることにより、液晶表示パネルを分解することなく、液晶表示パネルのTFTの劣化の程度を知ることができる。

【0010】一般的に、液晶表示装置のドライバ回路にはシフトレジスタが設けられている。例えば劣化によりTFTのしきい値が変化することがあるが、この場合シフトレジスタの最終段から出力される信号は各段のトランジスタの劣化の程度が重畳され、信号の波形又はレベルが大きく変化する。従って、前記検査用端子にシフトレジスタの最終段から出力される信号が供給されるようにすると、トランジスタの劣化を容易にかつ高精度で知ることができる。

【0011】また、前記ドライバ回路から出力される信号は、インバータや論理回路を介して検査用端子に供給されるようになっていてもよい。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

（第1の実施の形態）図1は本発明の第1の実施の形態の液晶表示装置の液晶表示パネルの表示領域における断面図、図2は同じくその平面図である。

【0013】液晶表示パネル30は、対向して配置されたTFT基板10及び対向基板20と、これらのTFT基板10と対向基板20との間に封入された液晶29とにより構成されている。TFT基板10は、ガラス基板11と、ガラス基板11上に形成されたゲートバスライン12、データバスライン13、画素電極14及びTFT15等により構成される。ゲートバスライン12とデータバスライン13とは直角に交差しており、両者の間に形成された絶縁膜（図示せず）により電気的に絶縁されている。これらのゲートバスライン12及びデータバスライン13は、アルミニウム等の導電体により形成されている。また、TFT15は、ガラス基板11上に選択的に形成されたポリシリコン膜16と、そのポリシリコン膜16の上を通るゲートバスライン13とにより構成される。ポリシリコン膜16とゲートバスライン13との間には、両者の間を絶縁するためのゲート絶縁膜（図示せず）が形成されている。なお、TFT15は低温プロセスにより形成されたものである。すなわち、ポリシリコン膜16は、ガラス基板11上にCVD（Chemical Vapor Deposition：化学的気相成長）法によりアモルファスシリコン膜を形成し、このアモルファスシリ

コン膜にレーザ光を照射してアモルファスをポリシリコンに変化させることにより形成されたものである。

【0014】ゲートバスライン12とデータバスライン13とにより区画された各矩形領域が画素である。各画素にはそれぞれインジウム酸化スズ（indium-tin oxide：以下、ITOという）からなる透明の画素電極14が形成されている。TFT15のソースはコンタクトホール（図示せず）を介して画素電極14に電気的に接続しており、ドレインは他のコンタクトホール（図示せず）を介してデータバスライン13に電気的に接続している。

【0015】これらの画素電極14の上には、例えばポリイミドからなる配向膜17が形成されている。この配向膜17の表面には、電圧を印加していないときの液晶分子の配向方向を決定するために、配向処理が施されている。配向処理の代表的な方法としては、布製のローラーにより配向膜の表面を一方方向に擦るラビング法が知られている。

【0016】一方、対向基板20は、ガラス基板21と、ガラス基板21の下面側に形成されたカラーフィルタ22、ブラックマトリクス23、対向電極24及び配向膜25等により構成されている。カラーフィルタ22には、赤色（R）、緑色（G）及び青色（B）の3種類あり、1つの画素電極14に1つのカラーフィルタ22が対向している。これらのカラーフィルタ22の間にはブラックマトリクス23が形成されている。このブラックマトリクス23は、例えばクロム（Cr）のように光が透過しない金属薄膜からなる。

【0017】カラーフィルタ22及びブラックマトリクス23の下には、ITOからなる透明の対向電極24が形成されている。この対向電極24の下には配向膜25が形成されている。この配向膜25の表面にも配向処理が施されている。TFT基板10と対向基板20の間には、球形のスペーサ（図示せず）が配置され、これによりTFT基板10と対向基板20との間隔が一定に維持される。また、TFT基板10の下及び対向基板20の上にはそれぞれ偏光板（図示せず）が配置される。これらの偏光板は、偏光軸が相互に直交するように配置される。

【0018】データバスライン13にデータ信号を供給し、ゲートバスライン12に走査信号を供給すると、TFT15がオンになって画素電極14にデータ信号が供給される。これにより、画素電極14と対向電極24との間に電界が発生する。この電界に沿って液晶29中の液晶分子が配列し、画素の光透過率が変化する。各画素毎に画素電極14に印加する電圧を制御することにより、液晶表示パネル30に所望の画像を表示することができる。

【0019】図3は本実施の形態の液晶表示装置の回路構成を示すブロック図である。この液晶表示装置は、液

晶表示パネル30と、制御回路部40とにより構成されている。そして、液晶表示パネル30と制御回路部40との間はフレキシブルケーブル（図示せず）により電気的に接続されている。液晶表示パネル30は、図2に示すように複数の画素が配列された表示領域31と、表示領域31の外側に配置されたデータドライバ回路32及びゲートドライバ回路33と、端子電極34とを有する。これらのデータドライバ回路32、ゲートドライバ回路33及び端子電極34はいずれもガラス基板11上に形成されており、データドライバ回路32及びゲートドライバ回路33を構成するTFTは、表示領域31内のTFTと同時に形成されたものである。また、端子電極34とデータドライバ回路32及びゲートドライバ回路33との間、データドライバ回路32と表示領域31のデータバスライン13との間、並びにゲートドライバ回路33と表示領域31のゲートバスライン12との間、データバスライン13又はゲートバスライン12と同時に形成された配線により接続されている。データドライバ回路32及びゲートドライバ回路33の詳細については後述する。

【0020】制御回路部40は、タイミング発生回路41、データ形成回路42及び端子電極43により構成されている。制御回路部40には、パーソナルコンピュータ等の映像出力装置から、R（赤）・G（緑）・B（青）信号と、垂直同期信号Vs及び水平同期信号Hsとが入力される。タイミング発生回路41は、垂直同期信号Vs及び水平同期信号Hsから、データクロック信号DCLK、データクロック反転信号/DCLK、データスタート信号DSI、ゲートクロック信号GCLK、ゲートクロック反転信号/GCLK及びゲートスタート信号GSIを生成して出力する。データスタート信号DSIは1水平同期期間の始まりを示す信号であり、ゲートスタート信号GSIは1垂直同期期間の始まりを示す信号である。

【0021】また、タイミング発生回路41には、検査用の端子44、45が設けられている。これらの端子44、45には、液晶表示パネル30からデータシフトアウト信号DSO及びゲートシフトアウト信号GSOが伝達される。TFTの劣化の程度を調べる際には、これらの端子44、45に検査装置のプロブを接続するようになっている。

【0022】データ形成回路42は、映像表示装置からR・G・B信号を入力するとともに、タイミング発生回路41から水平同期信号Hs、データクロック信号DCLK及びデータクロック反転信号/DCLKを入力して1水平同期期間分のデータ信号D<sub>1</sub>～D<sub>N</sub>（Nは水平方向の画素数）を生成し、水平同期信号Hsに同期したタイミングで並列に出力する。

【0023】液晶表示パネル30と制御回路部40とを接続するフレキシブルケーブルは、端子電極34及び端子電極43に接合される。図4は液晶表示パネルのデー

タドライバ回路32及びゲートドライバ回路33の構成を示すブロック図である。データドライバ回路32は、データ形成回路42からデータ信号D<sub>1</sub>～D<sub>N</sub>を入力するとともにタイミング発生回路41からデータスタート信号DSI、データクロック信号DCLK及びデータクロック反転信号/DCLK（以下、これら2つの信号を「データクロック信号DCLK、/DCLK」という）を入力し、データクロック信号DCLK、/DCLKに同期したタイミングで、表示領域31の各データバスラインA<sub>1</sub>～A<sub>N</sub>にデータ信号D<sub>1</sub>～D<sub>N</sub>を順番に出力する。

【0024】ゲートドライバ回路33は、タイミング発生回路41からゲートスタート信号GSI、ゲートクロック信号GCLK及びゲートクロック反転信号/GCLK（以下、これら2つの信号を「ゲートクロック信号GCLK、/GCLK」という）を入力し、表示領域31のゲートバスラインG<sub>1</sub>～G<sub>N</sub>にゲートクロックGCLKに同期して順番に走査信号を供給する。

【0025】図4に示すように、データドライバ回路32は、N段（Nは水平方向の画素数）のシフトレジスタ51、バッファ回路52、データ信号ライン53及びアナログスイッチ回路54により構成されている。シフトレジスタ51は、データスタート信号DSIを入力すると1段目にデータとして“1”をセットし、データクロック信号DCLK、/DCLKに同期したタイミングでデータをシフトする。これにより、シフトレジスタ51のN本の信号線Q<sub>1</sub>～Q<sub>N</sub>は順次“1”となる。この場合、N本の信号線Q<sub>1</sub>～Q<sub>N</sub>のうちのいずれか1本が“1”であり、他の信号線は“0”となる。そして、データスタート信号DSIからN+1番目のクロックにより、シフトレジスタ51からデータシフトアウト信号DSOが出力される。

【0026】シフトレジスタ51から信号線Q<sub>1</sub>～Q<sub>N</sub>に出力されたデータ（“1”）は、バッファ回路52を介してアナログスイッチ回路54に入力される。アナログスイッチ回路54は、N組のアナログスイッチ素子T<sub>1</sub>～T<sub>N</sub>により構成されている。各アナログスイッチ素子T<sub>1</sub>～T<sub>N</sub>のゲートはバッファ回路52に接続され、ソースにはデータ形成回路42から出力されたデータ信号D<sub>1</sub>～D<sub>N</sub>のいずれか1つがデータ線53を介して供給され、ドレインは表示領域31のデータバスラインA<sub>1</sub>～A<sub>N</sub>に接続されている。これらのアナログスイッチ素子T<sub>1</sub>～T<sub>N</sub>は、ゲートに“1”が与えられるとオンとなり、“0”のときはオフとなる。

【0027】一方、ゲートドライバ回路33は、M段（Mは垂直方向の画素数）のシフトレジスタ55及びバッファ回路56により構成されている。シフトレジスタ55は、ゲートスタート信号GSIを入力すると1段目にデータとして“1”をセットし、ゲートクロック信号GCLK、/GCLKに同期したタイミングでデータをシフトする。この場合、シフトレジスタ55のM本の出力線のう

ち1本のみが“1”であり、他は“0”である。そして、ゲートスタート信号GSI からM+1番目のクロックにより、シフトレジスタ55からゲートシフトアウト信号GS0 が出力される。シフトレジスタ55から出力されたデータ(“1”)は走査信号としてバッファ回路56を介してゲートバスラインG<sub>1</sub> ~G<sub>M</sub> )に供給される。

【0028】本実施の形態の液晶表示装置は、シフトレジスタ51、55の最終段から出力されるデータシフトアウト信号SIO 及びゲートシフトアウト信号GS0 を制御回路部40の検査用端子44、45に供給する配線を形成すること以外は、基本的に従来と同様に製造することができる。以下、上述の如く構成された液晶表示装置の動作について説明する。

【0029】制御回路部40はパーソナルコンピュータ等の表示装置から水平同期信号Hs、垂直同期信号Vs 及びR・G・B信号を入力し、これらの信号からデータ信号D<sub>1</sub> ~D<sub>N</sub>、データスタート信号DSI、データクロック信号DCLK、/DCLK、ゲートスタート信号GSI、ゲートクロック信号GCLK、/GCLK を生成して出力する。データ信号D<sub>1</sub> ~D<sub>N</sub>、データスタート信号DSI 及びゲートクロック信号GCLK、/GCLK は水平同期信号Hs に同期したタイミングで出力し、ゲートスタート信号GSI は垂直同期信号に同期したタイミングで出力する。

【0030】ゲートドライバ回路33のシフトレジスタ55は、ゲートスタート信号GSI を入力した後、最初のゲートクロック信号GCLK、/GCLK のパルスにより、1行目のゲートバスラインG<sub>1</sub> を“1”とし、他のゲートバスラインG<sub>2</sub> ~G<sub>N</sub> を“0”とする。一方、シフトレジスタ51は、データスタート信号DSI を入力した後、最初のデータクロック信号DCLK、/DCLK のパルスにより、信号線Q<sub>1</sub> を“1”とし、他の信号線Q<sub>2</sub> ~Q<sub>N</sub> を“0”とする。これにより、アナログスイッチ素子T<sub>1</sub> がオンになり、データバスラインA<sub>1</sub> にデータ信号D<sub>1</sub> が供給される。従って、表示領域の1行1列目の画素の画素電極にデータ信号D<sub>1</sub> が供給され、当該画素の光透過率がデータ信号D<sub>1</sub> に応じた値となる。

【0031】次に、データクロック信号DCLK、/DCLK の2番目のパルスにより、シフトレジスタ51がシフト動作し、信号線Q<sub>2</sub> が“1”、その他の信号線Q<sub>1</sub>、Q<sub>3</sub> ~Q<sub>N</sub> が“0”になる。これにより、アナログスイッチ素子T<sub>2</sub> がオン、アナログスイッチ素子T<sub>1</sub>、T<sub>3</sub> ~T<sub>N</sub> がオフになり、1行2列目の画素にデータ信号D<sub>2</sub> が供給される。従って、表示領域の1行2列目の画素の画素電極にデータ信号D<sub>2</sub> が供給され、当該画素の光透過率がデータ信号D<sub>2</sub> に応じた値となる。

【0032】このようにして1行目の各画素に順番にデータ信号が供給され、1行目の画像が生成される。その後、データクロック信号DCLK、/DCLK のN+1番目のパルスにより、シフトレジスタ51からデータシフトアウト信号DSO が出力される。このデータシフトアウト信号

DSO は、端子電極34、フレキシブルケーブル及び端子電極43を介してタイミング発生回路41の検査用端子44に伝達される。このデータシフトアウト信号DSO は検査時のみに使用される信号であり、通常の液晶表示装置の動作には影響しない。

【0033】1水平同期期間が終了すると、データ形成回路42はデータ信号D<sub>1</sub> ~D<sub>N</sub> を更新する。また、1水平同期期間が終了すると、ゲートドライバ回路33のシフトレジスタ55にゲートクロック信号GCLK、/GCLK の2番目のパルスが供給される。これにより、シフトレジスタ55がシフト動作し、ゲートバスラインG<sub>2</sub> が“1”、その他のゲートバスラインG<sub>1</sub>、G<sub>3</sub> ~G<sub>N</sub> が“0”になる。また、データドライバ回路32のシフトレジスタ51に、データスタート信号DSI が供給される。これにより、上記と同様にして、シフトレジスタ51はデータクロック信号DCLK、/DCLK に同期したタイミングで信号線Q<sub>1</sub> ~Q<sub>N</sub> を順次“1”とする。このようにして、2行目の各画素に順番にデータ信号D<sub>1</sub> ~D<sub>N</sub> が供給され、2行目の画像が生成される。

【0034】上記の動作がM番目のゲートバスラインG<sub>M</sub> まで繰り返されて、1画面分の画像が表示される。その後、ゲートクロック信号GCLK、/GCLK のM+1番目のパルスにより、シフトレジスタ55からゲートシフトアウト信号GS0 が出力される。このゲートシフトアウト信号GS0 は、端子電極34、フレキシブルケーブル及び端子電極43を介してタイミング発生回路41の検査用端子45に伝達される。このゲートシフトアウト信号GS0 も検査時のみに使用される信号であり、通常の液晶表示装置の動作には影響しない。

【0035】1垂直同期期間が終了すると、データ形成回路42はデータ信号D<sub>1</sub> ~D<sub>N</sub> を更新し、次のデータスタート信号DSI、ゲートスタート信号GSI 及びデータクロック信号DCLK、/DCLK に同期したタイミングでこれらのデータ信号D<sub>1</sub> ~D<sub>N</sub> を出力する。このようにして、表示領域に順次映像が表示される。本実施の形態においては、データドライバ回路32のシフトレジスタ51の最終段からデータシフトアウト信号DSO が出力され、ゲートドライバ回路33のシフトレジスタ55の最終段からゲートシフトアウト信号GS0 が出力される。そして、これらの信号は端子電極34、43及びフレキシブルケーブルを介してタイミング発生回路41の検査用端子44、45に伝達される。

【0036】製品組立て後、これらの端子44、45に検査装置のプロブを接続して、シフトレジスタ51、55を構成するTFTの劣化の有無等を、実際に動作しているときの状態で検査することができる。図5(a)はシフトレジスタ51の1段目の出力パルスの波形を示す図であり、図5(b)、(c)はいずれもデータシフトアウト信号DSO のパルス波形を示す図である。データクロック信号DCLK、/DCLK の1周期の時間をTとする

と、データスタート信号DSI が入力されてからT (N+1) 時間後にデータシフトアウト信号DSO が“1”となる。図5 (b) に示す例では、データシフトアウト信号DSO のレベルが変化していない。これは、TFTの特性が良好であることを示す。一方、図5 (c) に示す例ではデータシフト信号DSO のHレベルの電圧(Vc) が低下し、Lレベルの電圧(0V) が上昇している。これは、トランジスタのしきい値がシフト(Nチャネルトランジスタでは負側、Pチャネルトランジスタでは正側) して0Vでの貫通電流が流れている場合によく見られる現象であり、シフトレジスタの段数が多くなるほど電源電圧が降下し、グランド電位が上昇するために発生する。

【0037】このように、本実施の形態ではタイミング発生回路41に設けた検査用端子44、45に検査装置のプローブを接続して波形を観察することなどにより、液晶表示パネル30のTFTの劣化の程度等を調べることができる。この場合、液晶表示パネルを分解する必要がなく、データの収集を迅速にかつ容易に行うことができる。また、実際に使用している状態でトランジスタの劣化の程度を知ることができるので、検査の信頼性が高い。特に、低温プロセスで形成されたTFTは、長時間使用すると特性が劣化するおそれがあり、液晶表示装置の性能劣化の原因がTFTにあるのかそれ以外にあるのか判断することが難しい。上記実施の形態によれば、TFTの特性劣化の程度を液晶表示パネルを分解することなく判断することができるので、液晶表示装置の信頼性向上に寄与する。

【0038】(第2の実施の形態) 図6は本発明の第2の実施の形態の液晶表示装置の液晶表示パネルを示すブロック図である。図6において、図3と同一物には同一符号を付してその詳しい説明は省略する。また、データドライバ回路32及びゲートドライバ回路33の構成は第1の実施の形態と同様であるので、図4も参照して説明する。

【0039】本実施の形態においては、データドライバ32、33のシフトレジスタ51、55から出力されたデータシフトアウト信号DSO及びゲートシフトアウト信号GSOがTFT基板上に形成されたインバータ61、62を介して制御回路部40の検査用端子44、45に伝達されるようになっている。この実施の形態においても、第1の実施の形態と同様に、液晶表示パネルを分解することなく、TFT基板上に形成されたTFTの劣化の程度を調べることができる。また、インバータ61、62に代えて、論理回路を設けてもよい。

【0040】なお、上記の第1及び第2の実施の形態においては、データドライバ回路32及びゲートドライバ

回路33がいずれも液晶表示パネル30に設けられている場合について説明したが、本発明はデータドライバ回路及びゲートドライバ回路のいずれか一方が制御回路部に設けられている場合にも適用することができる。

#### 【0041】

【発明の効果】以上説明したように、本発明によれば、液晶表示パネルに設けられたドライバ回路から出力される信号の少なくとも1つが制御回路部に設けられた検査用端子に供給されるので、液晶表示パネルに形成されたトランジスタの劣化の状態をパネルを分解することなく容易に調べることができる。これにより、製造後の液晶表示装置の異常の発生原因を迅速に解明して対策を講じることが可能となり、液晶表示装置の信頼性の向上及び生産性の向上に多大な貢献をなす。

#### 【図面の簡単な説明】

【図1】図1は本発明の第1の実施の形態の液晶表示装置の液晶表示パネルの表示領域における断面図である。

【図2】図2は同じくその平面図である。

【図3】図3は第1の実施の形態の液晶表示装置の回路構成を示すブロック図である。

【図4】図4は同じくその液晶表示装置のデータドライバ回路及びゲートドライバ回路の構成を示すブロック図である。

【図5】図5はシフトレジスタの初段と最終段の出力波形の例を示す図である。

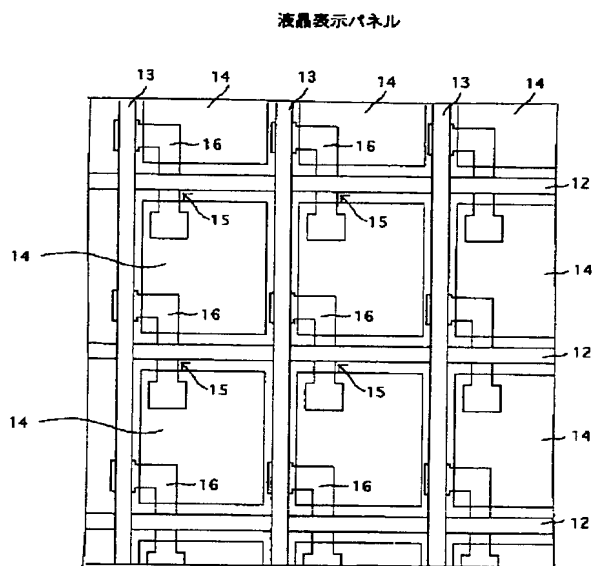
【図6】図6は本発明の第2の実施の形態の液晶表示装置の液晶表示パネルを示すブロック図である。

#### 【符号の説明】

- 10 TFT基板、
- 12、G<sub>1</sub>～G<sub>N</sub> ゲートバスライン、
- 13 A<sub>1</sub>～A<sub>N</sub> データバスライン、
- 14 画素電極、
- 15 TFT、
- 16 ポリシリコン膜、
- 20 対向基板、
- 29 液晶、
- 30 液晶表示パネル、
- 31 表示領域、
- 32 データドライバ回路、
- 33 ゲートドライバ回路、
- 40 制御回路部、
- 41 タイミング発生回路、
- 42 データ形成回路、
- 51、55 シフトレジスタ、
- 52、56 バッファ回路、
- 53 データ信号ライン、
- 54 アナログスイッチ回路。

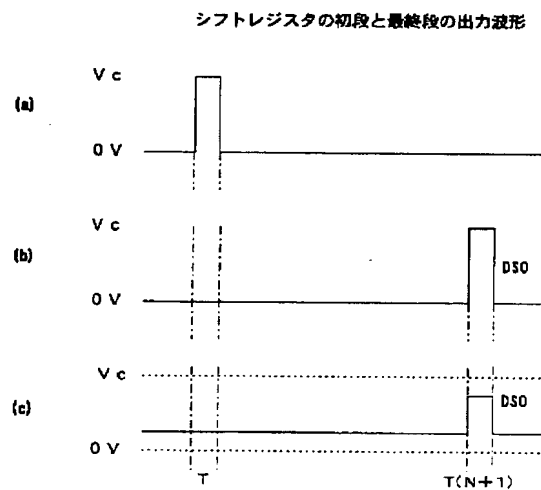


【図 2】

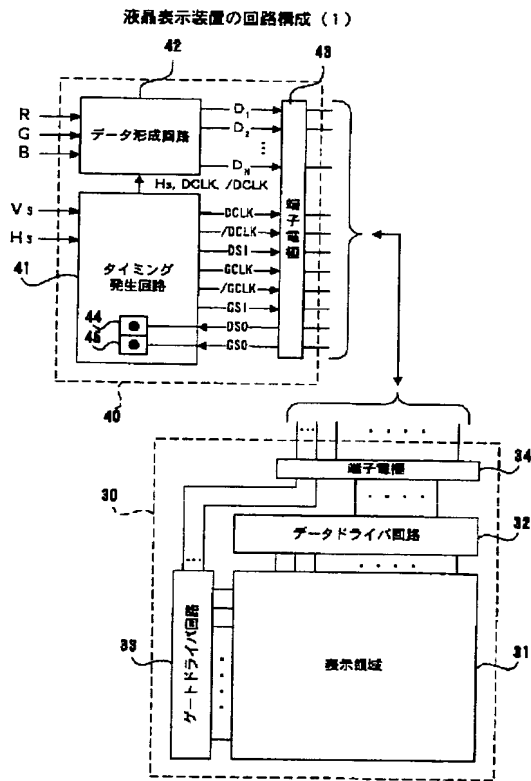


12 : ゲートバスライン      15 : TFT  
13 : データバスライン      16 : ポリシリコン膜  
14 : 画素電極

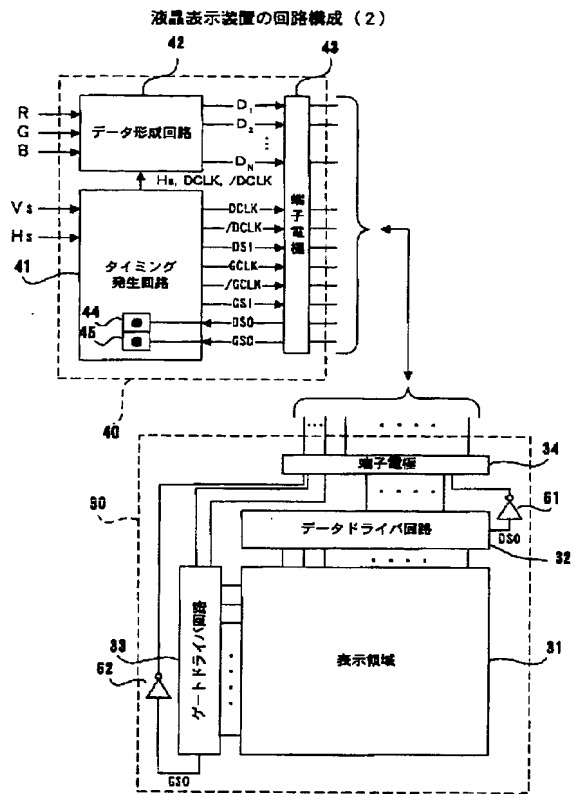
【図5】



【図3】



【図6】



フロントページの続き

Fターム(参考) 2H092 GA50 JA25 JA29 JA38 JA42  
 JB77 KA04 KA07 KB14 MA07  
 MA30 MA56 NA13 NA25 NA30  
 PA08  
 5G435 AA14 AA17 BB12 CC09 EE30  
 EE33 KK05